

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10013221 A**(43) Date of publication of application: **16 . 01 . 98**(51) Int. Cl. **H03L 7/093**(21) Application number: **08158013**(71) Applicant: **FUJITSU LTD**(22) Date of filing: **19 . 06 . 96**(72) Inventor: **OKAMOTO MASAOKI**

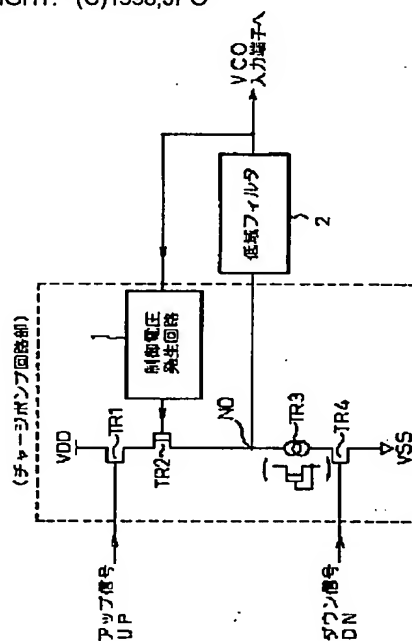
(54) **CHARGE PUMP CIRCUIT, PLL CIRCUIT HAVING
THE CHARGE PUMP CIRCUIT AND
SEMICONDUCTOR INTEGRATED CIRCUIT**

COPYRIGHT: (C)1998,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a charge pump circuit or the like in which a stable PLL operation is attained, even with a wide range VOC input voltage and suitable for a high-speed operation with small data rate dependence.

SOLUTION: The charge pump circuit section is provided with a circuit where a 3rd transistor (TR) 2 and a current source TR 3 are connected in series between a 1st TR 1 receiving a 1st control signal UP at its control electrode and a 2nd TR 4 receiving a 2nd control signal DN at its control electrode and with a control voltage generating circuit 1, which receives a signal extracted from a node NO between the 3rd TR 2 and the current source TR 3 as an input signal VCOin, via a low pass filter 2, generates a control voltage, in response to a level of the input signal VCOin, to apply it to a control electrode of the 3rd TR 3.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-13221

(43) 公開日 平成10年(1998) 1月16日

(51) Int. Cl.⁶

H 0 3 L 7/093

識別記号

庁内整理番号

F I

H 0 3 L 7/08

技術表示箇所

E

審査請求 未請求 請求項の数28 O L (全 18 頁)

(21) 出願番号

特願平8-158013

(22) 出願日

平成8年(1996) 6月19日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 岡本 正明

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 石田 敬 (外3名)

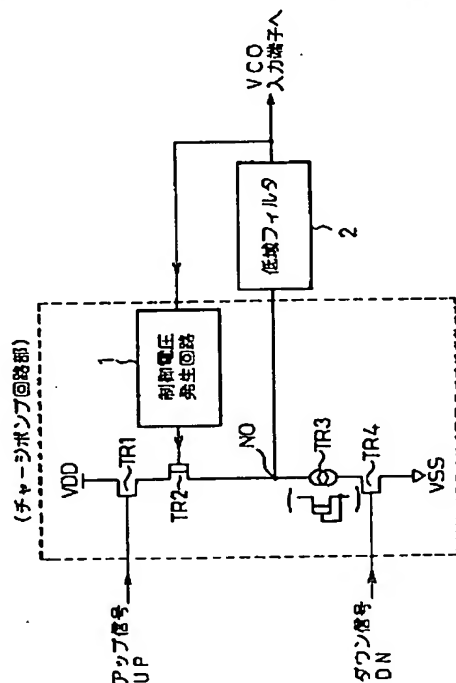
(54) 【発明の名称】 チャージポンプ回路、および、該チャージポンプ回路を有するPLL回路並びに半導体集積回路

(57) 【要約】

【課題】 チャージポンプ回路、および、該チャージポンプ回路を有するPLL回路並びに半導体集積回路に関し、広範囲のVCO入力電圧においても安定なPLL動作を可能とし、且つ、データレート依存の小さい高速動作に適したチャージポンプ回路等の提供を目的とする。

【解決手段】 第1の制御信号UPが制御電極に供給された第1のトランジスタTR1および第2の制御信号DNが制御電極に供給された第2のトランジスタTR4の間に第3のトランジスタTR2および電流源TR3を直列に接続し、第3のトランジスタTR2および電流源TR3の接続ノードN0から取り出される信号を低域フィルタ2を介して入力信号VCOinとして受け取り、該入力信号VCOinのレベルに応じた制御電圧を発生して第3のトランジスタTR3の制御電極に印加する制御電圧発生回路1を設けるように構成する。

本発明に係るチャージポンプ回路の第1実施例を模式的に示す図



【特許請求の範囲】

【請求項1】 第1の電源手段(VDD)に接続され、第1の制御信号(UP)が制御電極に供給された第1のトランジスタ(TR1)と、

第2の電源手段(VSS)に接続され、第2の制御信号(DN)が制御電極に供給された第2のトランジスタ(TR4)と、

前記第1のトランジスタおよび前記第2のトランジスタの間に直列に接続された第3のトランジスタ(TR2)および電流源(TR3)と、

前記第3のトランジスタおよび前記電流源の接続ノード(N0)から取り出される信号を低域フィルタ(2)を介して入力信号(VCOin)として受け取り、該入力信号のレベルに応じた制御電圧を発生して前記第3のトランジスタ(TR2)の制御電極に印加する制御電圧発生回路(1)とを具備することを特徴とするチャージポンプ回路。

【請求項2】 前記第1および第2のトランジスタ(TR1, TR4)をエンハンスメント型トランジスタで構成し、前記第3のトランジスタ(TR2)および前記電流源(TR3)をデプレッション型トランジスタで構成したことを特徴とする請求項1のチャージポンプ回路。

【請求項3】 前記第1, 第2, 第3, および、電流源を構成するトランジスタ(TR1, TR4, TR2, TR3)をショットキー接合型電界効果トランジスタ(MESFET)により構成したことを特徴とする請求項2のチャージポンプ回路。

【請求項4】 前記第1, 第2, 第3, および、電流源を構成するトランジスタ(TR1, TR4, TR2, TR3)を金属ゲート型またはシリコンゲート型電界効果トランジスタ(MOSFET)により構成し、前記第3のトランジスタ(TR2)の制御電極と前記接続ノード(N0)との間に少なくとも1つのダイオード(DD)を設けたことを特徴とする請求項2のチャージポンプ回路。

【請求項5】 前記制御電圧発生回路(1)を、縦続接続された2段のレベルシフト回路(LS1, LS2)と、該1段目および2段目のレベルシフト回路(LS1, LS2)におけるレベルシフト電圧の温度特性を独立に設定するための異なる温度係数を有する2つのバイアス発生回路(11, 12)とを備えて構成したことを特徴とする請求項1のチャージポンプ回路。

【請求項6】 前記制御電圧発生回路(1)を、帰還抵抗(R11, R12)によりゲイン調整が可能な正相増幅器(13)を備えて構成したことを特徴とする請求項1のチャージポンプ回路。

【請求項7】 基準信号と出力信号との位相比較を行う位相比較器(632)と、該位相比較器からの第1および第2の制御信号(UP, DN)を受け取り対応する信号を出力するチャージポンプ回路(633)と、該チャ

ージポンプ回路の出力信号を低域フィルタ(634)を介して受け取り該出力信号の電圧に応じた周波数の信号を発生する電圧制御発振器(635)とを具備するPLL回路であって、

前記チャージポンプ回路は、

第1の電源手段(VDD)に接続され、前記第1の制御信号(UP)が制御電極に供給された第1のトランジスタ(TR1)と、

第2の電源手段(VSS)に接続され、前記第2の制御信号(DN)が制御電極に供給された第2のトランジスタ(TR4)と、

前記第1のトランジスタおよび前記第2のトランジスタの間に直列に接続された第3のトランジスタ(TR2)および電流源(TR3)と、

前記第3のトランジスタおよび前記電流源の接続ノード(N0)から取り出される信号を低域フィルタ(2)を介して入力信号(VCOin)として受け取り、該入力信号のレベルに応じた制御電圧を発生して前記第3のトランジスタ(TR2)の制御電極に印加する制御電圧発生回路(1)とを具備することを特徴とするPLL回路。

【請求項8】 前記第1および第2のトランジスタ(TR1, TR4)をエンハンスメント型トランジスタで構成し、前記第3のトランジスタ(TR2)および前記電流源(TR3)をデプレッション型トランジスタで構成したことを特徴とする請求項7のPLL回路。

【請求項9】 前記第1, 第2, 第3, および、電流源を構成するトランジスタ(TR1, TR4, TR2, TR3)をショットキー接合型電界効果トランジスタ(MESFET)により構成したことを特徴とする請求項8のPLL回路。

【請求項10】 前記第1, 第2, 第3, および、電流源を構成するトランジスタ(TR1, TR4, TR2, TR3)を金属ゲート型またはシリコンゲート型電界効果トランジスタ(MOSFET)により構成し、前記第3のトランジスタ(TR2)の制御電極と前記接続ノード(N0)との間に少なくとも1つのダイオード(DD)を設けたことを特徴とする請求項8のPLL回路。

【請求項11】 前記制御電圧発生回路(1)を、縦続接続された2段のレベルシフト回路(LS1, LS2)と、該1段目および2段目のレベルシフト回路(LS1, LS2)におけるレベルシフト電圧の温度特性を独立に設定するための異なる温度係数を有する2つのバイアス発生回路(11, 12)とを備えて構成したことを特徴とする請求項7のPLL回路。

【請求項12】 前記制御電圧発生回路(1)を、帰還抵抗(R11, R12)によりゲイン調整が可能な正相増幅器(13)を備えて構成したことを特徴とする請求項7のPLL回路。

【請求項13】 前記PLL回路は、さらに、前記第1のトランジスタ(TR1)の制御電極に供給される前記

第1の制御信号(UP)を制御するクランプ回路(4)を備え、該クランプ回路は、前記制御電圧発生回路

(1)の入力信号(VCOin)を受け取り、該入力信号の変動に関わらず前記第1の制御信号の振幅をクランプしたことを特徴とする請求項7のPLL回路。

【請求項14】 前記クランプ回路(4)はインバータ(41)を備え、該インバータに印加される第2の電源手段(VSS)の電位を前記制御電圧発生回路(1)の入力信号(VCOin)に応じて変化させるようにしたことを特徴とする請求項13のPLL回路。

【請求項15】 前記PLL回路は、さらに、前記第1および第2のトランジスタ(TR1, TR4)の前段に設けられ、前記第1および第2の制御信号(UP, DN)のエッジを強調する制御信号処理回路(5)を備えることを特徴とする請求項7のPLL回路。

【請求項16】 前記制御信号処理回路(5)は、前記第1の制御信号(UP)に対して、所定の遅延を与えて前記第1のトランジスタ(TR1)の制御電極に供給する第1の遅延回路(51)と、入力する該第1の制御信号波形の後ろ側のエッジで細いパルスが発生させ当該パルスを用いて該第1の制御信号の出力変化時のエッジを強調する第1のチョッパ回路(52)および該第1のチョッパ回路の出力により制御される第4のトランジスタ(TR51)とを備え、且つ、前記第2の制御信号(DN)に対して、所定の遅延を与えて前記第2のトランジスタ(TR4)の制御電極に供給する第2の遅延回路(53)と、入力する該第2の制御信号波形の後ろ側のエッジで細いパルスが発生させ当該パルスを用いて該第2の制御信号の出力変化時のエッジを強調する第2のチョッパ回路(54)および該第2のチョッパ回路の出力により制御される第5のトランジスタ(TR52)とを備えたことを特徴とする請求項15のPLL回路。

【請求項17】 前記第1および第2のチョッパ回路(52, 54)は、それぞれ奇数段のインバータ(521, 522, 523; 541)および2入力ノアゲート(524; 542)を備え、該ノアゲートの一方の入力に対して該奇数段のインバータを介して前記第1および第2の制御信号(UP, DN)を供給すると共に、該ノアゲートの他方の入力に対して該第1および第2の制御信号(UP, DN)を直接供給するようにしたことを特徴とする請求項16のPLL回路。

【請求項18】 低速の複数ビットのバラレルデータを多重化して高速のシリアルデータを出力する多重化回路(61)と、基準クロック信号を受け取って該多重化回路にクロック信号を供給するクロック発生回路(62)と、高速のシリアルデータを分離して低速の複数ビットのバラレルデータを出力する多重分離回路(64)と、該高速のシリアルデータを受け取って該多重分離回路に所定のクロック信号を供給するクロックリカバリ回路

(63)とを具備する半導体集積回路であって、前記クロックリカバリ回路(63)は、基準信号と出力信号との位相比較を行う位相比較器(632)と、該位相比較器からの第1および第2の制御信号(UP, DN)を受け取り対応する信号を出力するチャージポンプ回路(633)と、該チャージポンプ回路の出力信号を低域フィルタ(634)を介して受け取り該出力信号の電圧に応じた周波数の信号を発生する電圧制御発振器

(635)とを具備するPLL回路を備え、前記チャージポンプ回路(633)は、第1の電源手段(VDD)に接続され、前記第1の制御信号(UP)が制御電極に供給された第1のトランジスタ(TR1)と、第2の電源手段(VSS)に接続され、前記第2の制御信号(DN)が制御電極に供給された第2のトランジスタ(TR4)と、前記第1のトランジスタおよび前記第2のトランジスタの間に直列に接続された第3のトランジスタ(TR2)および電流源(TR3)と、前記第3のトランジスタおよび前記電流源の接続ノード(N0)から取り出される信号を低域フィルタ(2)を介して入力信号(VCOin)として受け取り、該入力信号のレベルに応じた制御電圧を発生して前記第3のトランジスタ(TR2)の制御電極に印加する制御電圧発生回路(1)とを具備することを特徴とする半導体集積回路。

【請求項19】 前記第1および第2のトランジスタ(TR1, TR4)をエンハンスメント型トランジスタで構成し、前記第3のトランジスタ(TR2)および前記電流源(TR3)をデプレッション型トランジスタで構成したことを特徴とする請求項18の半導体集積回路。

【請求項20】 前記第1, 第2, 第3, および、電流源を構成するトランジスタ(TR1, TR4, TR2, TR3)をショットキー接合型電界効果トランジスタ(MESFET)により構成したことを特徴とする請求項19の半導体集積回路。

【請求項21】 前記第1, 第2, 第3, および、電流源を構成するトランジスタ(TR1, TR4, TR2, TR3)を金属ゲート型またはシリコンゲート型電界効果トランジスタ(MOSFET)により構成し、前記第3のトランジスタ(TR2)の制御電極と前記接続ノード(N0)との間に少なくとも1つのダイオード(DD)を設けたことを特徴とする請求項19の半導体集積回路。

【請求項22】 前記制御電圧発生回路(1)を、縦続接続された2段のレベルシフト回路(LS1, LS2)と、該1段目および2段目のレベルシフト回路(LS1, LS2)におけるレベルシフト電圧の温度特性を独立に設定するための異なる温度係数を有する2つのバイ

アス発生回路(11, 12)とを備えて構成したことを特徴とする請求項18の半導体集積回路。

【請求項23】 前記制御電圧発生回路(1)を、帰還抵抗(R11, R12)によりゲイン調整が可能な正相増幅器(13)を備えて構成したことを特徴とする請求項18の半導体集積回路。

【請求項24】 前記半導体集積回路は、さらに、前記第1のトランジスタ(TR1)の制御電極に供給される前記第1の制御信号(UP)を制御するクランプ回路

(4)を備え、該クランプ回路は、前記制御電圧発生回路(1)の入力信号(VCOin)を受け取り、該入力信号の変動に関わらず前記第1の制御信号の振幅をクランプしたことを特徴とする請求項18の半導体集積回路。

【請求項25】 前記クランプ回路(4)はインバータ(41)を備え、該インバータに印加される第2の電源手段(VSS)の電位を前記制御電圧発生回路(1)の入力信号(VCOin)に応じて変化させるようにしたことを特徴とする請求項24の半導体集積回路。

【請求項26】 前記半導体集積回路は、さらに、前記第1および第2のトランジスタ(TR1, TR4)の前段に設けられ、前記第1および第2の制御信号(UP, DN)のエッジを強調する制御信号処理回路(5)を備えることを特徴とする請求項18の半導体集積回路。

【請求項27】 前記制御信号処理回路(5)は、前記第1の制御信号(UP)に対して、所定の遅延を与えて前記第1のトランジスタ(TR1)の制御電極に供給する第1の遅延回路(51)と、入力する該第1の制御信号波形の後ろ側のエッジで細いパルスが発生させ当該パルスを用いて該第1の制御信号の出力変化時のエッジを強調する第1のチョッパ回路(52)および該第1のチョッパ回路の出力により制御される第4のトランジスタ(TR51)とを備え、且つ、前記第2の制御信号(DN)に対して、所定の遅延を与えて前記第2のトランジスタ(TR4)の制御電極に供給する第2の遅延回路(53)と、入力する該第2の制御信号波形の後ろ側のエッジで細いパルスが発生させ当該パルスを用いて該第2の制御信号の出力変化時のエッジを強調する第2のチョッパ回路(54)および該第2のチョッパ回路の出力により制御される第5のトランジスタ(TR52)とを備えたことを特徴とする請求項26の半導体集積回路。

【請求項28】 前記第1および第2のチョッパ回路(52, 54)は、それぞれ奇数段のインバータ(521, 522, 523; 541)および2入力ノアゲート(524; 542)を備え、該ノアゲートの一方の入力に対して該奇数段のインバータを介して前記第1および第2の制御信号(UP; DN)を供給すると共に、該ノアゲートの他方の入力に対して該第1および第2の制御信号(UP, DN)を直接供給するようにしたことを特徴とする請求項27の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はチャージポンプ回路、および、該チャージポンプ回路を有するPLL回路並びに半導体集積回路に関する。近年、例えば、ファイバーチャネルのトランシーバ用IC(MUX: Multiplexer およびDEMUX: Demultiplexer を有する半導体集積回路)のクロックリカバリ回路やクロック発生回路(クロック逡倍回路)におけるPLL(Phase-Locked Loop: 位相同期ループ)回路には、位相比較器の誤差信号をVCO(Voltage Controlled Oscillator: 電圧制御発振器)に伝えるための駆動回路であるチャージポンプ回路が使用されている。そして、特に、ファイバーチャネルIC(ファイバーチャネルのトランシーバ用集積回路)のクロックリカバリ回路では、広範囲のVCO入力電圧においても安定なPLL動作が可能で、且つ、データレート依存の小さい高速動作に適したチャージポンプ回路の提供が要望されている。

【0002】

【従来の技術】 従来、PLLをより高速で動作させようとする際、系がロックしている時に位相比較器からの誤差信号が完全に零となるような回路では不感帯が生じて高速動作が難しいため、通常は系がロックした状態で等しい幅のアップ信号UPおよびダウン信号DNを同時に、或いは、多少ずれて位相比較器から出力する方式が用いられる。ここで、アップ信号UPおよびダウン信号DNの差が平均して零であれば、チャージポンプ回路の出力が低域フィルタを通過したVCO制御信号は、VCO入力からみた誤差信号は零とみなすことができる。

【0003】 図20は従来のチャージポンプ回路の一例を模式的に示す図であり、図21は図20のチャージポンプ回路における課題を説明するための図である。図20に示されるように、従来のチャージポンプ回路(トライステート出力チャージポンプ回路)は、前段の位相比較器の出力であるアップ信号UPおよびダウン信号DNがそれぞれゲートに供給されたトランジスタTR1およびTR2を備えて構成されている。チャージポンプ回路において、後段(ローパスフィルタを介して接続される)のVCOの発振周波数(出力信号)を上げたい場合にはアップ信号UPを出力し、また、VCOの発振周波数を下げたい場合にはダウン信号DNを出力してPLL回路の周波数をロックするのはいうまでもない。ここで、トランジスタTR1およびTR2は、Nタイプのエンハンスメント型MESFET(ショットキー接合型電界効果トランジスタ)として構成されている。

【0004】 チャージポンプ回路の出力信号は、低域フィルタ(ローパスフィルタ)2を介してVCO(電圧制御発振器)の入力端子へ供給される。ここで、図20から明らかなように、アップ信号UPが入力すると出力は高レベルH(VDD)となり、また、ダウン信号DNが

入力すると出力は低レベルL (VSS) となり、そして、無信号時 (アップ信号UPおよびダウン信号DNが入力しない時) において、出力はハイインピーダンス状態 (High Z状態) Zとなる。

【0005】

【発明が解決しようとする課題】 上述したように、図20に示すような一般的なチャージポンプ回路では、該チャージポンプ回路の出力振幅はほぼVDD~VSSとなり、ロック状態のVCO入力電圧をVCOin (VCOの入力電圧一周波数特性で決まりサンプル間のばらつきがある) とすると、

アップ信号UPの振幅: $V_{up} = VDD - VCOin$

ダウン信号DNの振幅: $V_{dn} = -(VCOin - VSS)$

となり、VCOinが $(VDD - VSS) / 2$ 以外では、アップ信号の振幅Vupとダウン信号の振幅Vdnが非対称になる。

【0006】 図21に示されるように、アップ信号の振幅Vupとダウン信号の振幅Vdnが非対称な場合は、位相比較器からのアップ信号UPおよびダウン信号DNの幅が等しい状態ではチャージポンプ出力の平均電圧がVCOinと一致しないため、この状態では系はロック状態とはならない。すなわち、系がロックできるのは、アップ信号UPによる面積とダウン信号DNによる面積とを等しくすることが必要となり、アップ信号の振幅Vupとダウン信号の振幅Vdnの非対称性を補うだけの位相差 (アップ信号UPおよびダウン信号DNが出力される時間差) が必要となり、その結果、ロック状態において偏差 (位相のオフセット成分) を生じることになる。

【0007】 特に、ファイバーチャネルICのクロックリカバリ回路におけるPLL回路では、データ信号の位相とPLL回路から出力されるクロック信号の位相関係が重要となるため、上述の偏差をいかにして小さくするか (温度変動、サンプル間特性変動を抑える) が課題となっている。ところで、ファイバーチャネルICのクロックリカバリ回路におけるPLL回路では、上述したロック状態の偏差を生じる他の原因として、データレート依存が考えられる。従って、データレートにより偏差が異なるということは、クロック波形にジッターを生じさせ位相マージンを減少させることになるため、データレート依存は極力小さくする必要がある。

【0008】 図22は半導体集積回路 (ファイバーチャネルIC) のクロックリカバリ回路に適用される位相比較器の一例を示す図であり、図23は図22に示す位相比較器の出力が供給される従来のチャージポンプ回路における課題を説明するための図である。図22に示されるように、ファイバーチャネルICのクロックリカバリ回路に適用される位相比較器3は、データ信号Din (例えば、1Gb/s) およびクロック信号 (例えば、1G

Hz) が供給されたフリップ・フロップ31、32、エクスクルーシブ・オアゲート33、34、および、インバータ35を備えて構成されている。ここで、インバータ35は、クロック信号CLKを反転してフリップ・フロップ32に供給するためのものである。この図22に示す位相比較器において、アップ信号UPの幅は、データ信号Dinの変化点から次のクロック信号CLKの立ち上がり時点までとして規定され、また、ダウン信号DNの幅は、データ信号Dinの変化後のクロック信号CLKの立ち上がり時点から次のクロック信号CLKの立ち下がり時点までとして規定されている。

【0009】 図23に示されるように、クロックサイクルの各周期で反転する場合、チャージポンプ出力 (Vout) はクロック信号CLKの周波数と同じ周波数で動作し全ての立ち上がりエッジおよび立ち下がりエッジがチャージポンプ出力段のドライバートランジスタにより駆動されるため、急峻な立ち上がりおよび立ち下がり波形が得られる。

【0010】 これに対して、データ変化が緩慢な場合、例えば、図23におけるT0のタイミングでは、アップ信号UPが低レベルLになった後、ダウン信号DNも低レベルLとなるために、図20のチャージポンプ回路におけるトランジスタTR1およびTR2が共にオフとなって、出力がハイインピーダンス状態となる。すなわち、データ変化が緩慢な場合、ダウン信号DNが立ち下がると、チャージポンプの出力がハイインピーダンスとなるため、チャージポンプ出力 (チャージポンプの出力電圧) の立ち上りはなだらかになりダウン信号DNによるチャージポンプ出力の面積が大きくなる。そのため、PLL回路において、周波数をロックするためにはアップ信号UPが強くなければならないが、アップ信号が強いということはクロック信号がデータに比べて遅れている結果生じるものなので、データ変化が緩慢だとデータ変化が頻繁な場合に比べクロックの位相が遅れることになる。その結果として、位相マージンの減少や、データレート依存によるクロック出力のジッター増大といった好ましくない事態を生じることになる。

【0011】 以上述べたように、例えば、図20に示すような一般的なチャージポンプ回路を用いてPLL回路を構成した場合には、ロック状態におけるVCO制御電圧の大小により制御系の偏差が変動し、また、ファイバーチャネルICのクロックリカバリ回路においてはデータレート依存性により偏差が大きくなり位相の余裕が小さくなったり、ジッターが増大するといった解決すべき課題がある。

【0012】 本発明はこのような問題点を改善することにより、広範囲のVCO入力電圧においても安定なPLL動作を可能とし、且つ、データレート依存の小さい高速動作に適したチャージポンプ回路、および、該チャージポンプ回路を有するPLL回路並びに半導体集積回路

の提供を目的とする。

【0013】

【課題を解決するための手段】本発明の第1の形態によれば、第1の電源手段に接続され、第1の制御信号が制御電極に供給された第1のトランジスタと、第2の電源手段に接続され、第2の制御信号が制御電極に供給された第2のトランジスタと、前記第1のトランジスタおよび前記第2のトランジスタの間に直列に接続された第3のトランジスタおよび電流源と、前記第3のトランジスタおよび前記電流源の接続ノードから取り出される信号を低域フィルタを介して入力信号として受け取り、該入力信号のレベルに応じた制御電圧を発生して前記第3のトランジスタの制御電極に印加する制御電圧発生回路とを具備することを特徴とするチャージポンプ回路が提供される。

【0014】本発明の第2の形態によれば、基準信号と出力信号との位相比較を行う位相比較器と、該位相比較器からの第1および第2の制御信号を受け取り対応する信号を出力するチャージポンプ回路と、該チャージポンプ回路の出力信号を低域フィルタを介して受け取り該出力信号の電圧に応じた周波数の信号を発生する電圧制御発振器とを具備するPLL回路であって、前記チャージポンプ回路は、第1の電源手段に接続され、第1の制御信号が制御電極に供給された第1のトランジスタと、第2の電源手段に接続され、第2の制御信号が制御電極に供給された第2のトランジスタと、前記第1のトランジスタおよび前記第2のトランジスタの間に直列に接続された第3のトランジスタおよび電流源と、前記第3のトランジスタおよび前記電流源の接続ノードから取り出される信号を低域フィルタを介して入力信号として受け取り、該入力信号のレベルに応じた制御電圧を発生して前記第3のトランジスタの制御電極に印加する制御電圧発生回路とを具備することを特徴とするPLL回路が提供される。

【0015】本発明の第3の形態によれば、低速の複数ビットのバラレルデータを多重化して高速のシリアルデータを出力する多重化回路と、基準クロック信号を受け取って該多重化回路にクロック信号を供給するクロック発生回路と、高速のシリアルデータを分離して低速の複数ビットのバラレルデータを出力する多重分離回路と、該高速のシリアルデータを受け取って該多重分離回路に所定のクロック信号を供給するクロックリカバリ回路とを具備する半導体集積回路であって、前記クロックリカバリ回路は、基準信号と出力信号との位相比較を行う位相比較器と、該位相比較器からの第1および第2の制御信号を受け取り対応する信号を出力するチャージポンプ回路と、該チャージポンプ回路の出力信号を低域フィルタを介して受け取り該出力信号の電圧に応じた周波数の信号を発生する電圧制御発振器とを具備するPLL回路であって、前記チャージポンプ回路は、第1の電源手段

に接続され、第1の制御信号が制御電極に供給された第1のトランジスタと、第2の電源手段に接続され、第2の制御信号が制御電極に供給された第2のトランジスタと、前記第1のトランジスタおよび前記第2のトランジスタの間に直列に接続された第3のトランジスタおよび電流源と、前記第3のトランジスタおよび前記電流源の接続ノードから取り出される信号を低域フィルタを介して入力信号として受け取り、該入力信号のレベルに応じた制御電圧を発生して前記第3のトランジスタの制御電極に印加する制御電圧発生回路とを具備することを特徴とする半導体集積回路が提供される。

【0016】

【発明の実施の形態】本発明のチャージポンプ回路によれば、第1のトランジスタと第2のトランジスタとの間に第3のトランジスタおよび電流源が直列に接続され、制御電圧発生回路は、該第3のトランジスタおよび電流源の接続ノードから取り出される信号を低域フィルタを介して入力信号として受け取り、該入力信号のレベルに応じた制御電圧を発生して第3のトランジスタの制御電極に印加するようになっている。

【0017】これによって、チャージポンプ回路の出力振幅を広い電圧範囲で対称とすることができ、トランジスタの閾値電圧(V_{th})やダイオード特性の変動による特性変動を小さくすることができる。本発明のPLL回路は、上述した構成を有するチャージポンプ回路を備えたPLL回路であり、基準信号と出力信号との位相比較を行う位相比較器と、位相比較器からの第1および第2の制御信号(アップ信号およびダウン信号)を受け取り対応する信号を出力する上記チャージポンプ回路と、該チャージポンプ回路の出力信号を低域フィルタを介して受け取り該出力信号の電圧に応じた周波数の信号を発生する電圧制御発振器とを備えている。

【0018】本発明の半導体集積回路は、上記PLL回路をファイバーチャネルのトランシーバ用集積回路(ファイバーチャネルIC)におけるクロックリカバリ回路に適用したものであり、ファイバーチャネルICは、低速の複数ビットのバラレルデータを多重化して高速のシリアルデータを出力する多重化回路と、基準クロック信号を受け取って該多重化回路にクロック信号を供給するクロック発生回路と、高速のシリアルデータを分離して低速の複数ビットのバラレルデータを出力する多重分離回路と、該高速のシリアルデータを受け取って該多重分離回路に所定のクロック信号を供給するクロックリカバリ回路とを備えている。

【0019】

【実施例】以下、図面を参照して本発明に係るチャージポンプ回路、および、該チャージポンプ回路を有するPLL回路並びに半導体集積回路の実施例を説明する。図1は本発明に係るチャージポンプ回路の第1実施例を模式的に示す図である。

【0020】図20に示す従来のチャージポンプ回路との比較から明らかなように、本第1実施例では、従来のチャージポンプ回路の出力駆動トランジスタTR1およびTR4の間にトランジスタTR2および電流源（トランジスタ）TR3を挿入し、トランジスタTR2のゲートに制御電圧発生回路1の出力を供給するようになっている。ここで、トランジスタTR1およびTR4は、Nタイプのエンハンスメント型MESFET（ショットキー接合型電界効果トランジスタ）として構成され、また、トランジスタTR2およびTR3は、Nタイプのデプレッション型MESFETとして構成されている。また、制御電圧発生回路1は、トランジスタTR2と電流源TR3との接続ノードN0から取り出される信号を低域フィルタ2を介して受け取る（VCOin）ようになっている。

【0021】すなわち、制御電圧発生回路1は、VCOの入力電圧VCOin（VCO入力）をモニターし、該VCO入力の高低に応じた制御電圧を発生するもので、高入力インピーダンスで且つ低出力インピーダンスとして構成する必要がある。ここで、チャージポンプ回路の出力電圧のアップ信号の振幅（Vup）は制御電圧により制限されるため、従来例（図20参照）のように電源電圧でフルスイングせずに、VCO入力と制御電圧が同じように変化してVCO入力の高低にかかわらずVup（アップ信号UPの振幅）が一定となるように動作する。

【0022】また、チャージポンプ出力電圧のダウン信号の振幅（Vdn）はトランジスタTR2のショットキーゲートダイオードのクランプ電圧で制限されるため、これも制御電圧で決まりVCO入力の高低にかかわらずVdnが一定となるように動作する。なお、トランジスタTR3は、トランジスタTR2と同種類のトランジスタ（例えば、同じサイズのNタイプのデプレッション型MESFET）を使用することにより、チャージポンプ回路をIC化した場合、トランジスタTR2とトランジスタTR3の閾値電圧（Vth）を同一とすることで、閾値電圧の大小によりアップ側の振幅が変化しても、ショットキーダイオードを流れる電流も同様に变化させてクランプ電圧を変えるようになっている。すなわち、本第1実施例では、トランジスタTR2の閾値電圧Vthの変動により振幅が変動しても、アップ/ダウンの対称性を变化させずに閾値電圧の変動に強い回路を構成することが可能となる。

【0023】図2および図3は図1のチャージポンプ回路の動作を説明するための図であり、図2はアップ信号UPを印加した時の動作を示し、また、図3はダウン信号DNを印加した時の動作を示している。ここで、VCOの入力電圧VCOinは、チャージポンプ回路がハイインピーダンス時には該チャージポンプ回路の出力電圧Voutの直流レベルと一致する。

【0024】まず、図2に示されるように、アップ信号UPが入力されるとトランジスタTR1がオンとなり高電位の電源線VDDから出力端子へ充電電流iupが流れ、チャージポンプ回路の出力電圧Voutは、VCO（電圧制御発振器）の入力電圧VCOinに対して抵抗に生ずる電圧分だけ上昇する。ここで、出力電圧Voutの上昇は、トランジスタTR2のゲートバイアスが、 $V_{cont} - V_{out} = V_{th}$ （ $V_{th} < 0$ ）となるわずかな手前で抑えられる（抵抗がある程度大きい場合）ため、

$$V_{out} \doteq V_{cont} - V_{th}$$

となる。ここで、VcontはトランジスタTR2の制御電圧（ゲート電圧）である。

【0025】次に、図3に示されるように、ダウン信号DNが入力された場合は、トランジスタTR2がオン状態となり出力端子から放電電流idnが流れ、チャージポンプ回路の出力電圧Voutは、VCOの入力電圧VCOinに対し抵抗に生ずる電圧分だけ降下する。ここで、出力電圧Voutの降下は、トランジスタTR2のショットキーゲートのI-V特性と定電流トランジスタTR3の電流との交点をVclampとすると、

$$V_{out} \doteq V_{cont} - V_{clamp}$$

となるところで抑えられる。ここで、

$$V_{cont} = V_{COin} + V_{ls}$$

$$V_{ls} = (V_{th} + V_{clamp}) / 2$$

を満たすよう制御電圧発生回路のレベルシフト量Vlsを設定すると、アップ信号入力時の出力ハイレベルVoutupは、

$$V_{outup} = V_{COin} + (V_{clamp} - V_{th}) / 2$$

また、ダウン信号入力時の出力ローレベルVoutdnは、 $V_{outdn} = V_{COin} - (V_{clamp} - V_{th}) / 2$

となって、チャージポンプ出力がハイインピーダンス時に最終的に落ち着く電圧であるVCOinを中心に $\pm (V_{clamp} - V_{th}) / 2$ の振幅でチャージポンプ動作が行われる。このように、本実施例によればVCOinがVDD/2以外でも振幅の対称性を維持することができ動作範囲を広くすることが可能となる。

【0026】なお、チャージポンプ回路に対してアップ信号UPおよびダウン信号DNを供給する位相比較器としては、例えば、図22に示す位相比較器3を使用することができる。図4は本発明に係るチャージポンプ回路の第2実施例を模式的に示す図であり、制御電圧発生回路の一例を示すものである。図4において、参照符号TR11～TR14はNタイプのデプレッション型MESFET、D11、D12はダイオード、そして、11および12はバイアス発生回路を示している。

【0027】図1～図3を参照して説明した第1実施例は、VCO入力に関わらずチャージポンプ振幅を中心（VCO入力）に対し一定にすることを目的としているが、ダウン信号の振幅は制御電圧や、トランジスタの閾値

電圧 V_{th} で制限されるだけでなくダイオードのクランプ電圧にも左右されるため、クランプ電圧のばらつきや温度変動によりクランプ電圧が変動し、ダウン信号の振幅のみ小さくなる。

【0028】これに対する対策として図4に示すように、ダイオードの特性によりレベルシフト量をコントロールすることでトランジスタ TR_2 のゲートのダイオードクランプ電圧の変動によるダウン信号の振幅変動を抑えることが可能となる。すなわち、制御電圧発生回路1は、2段のレベルシフト回路 LS_1 、 LS_2 として構成され、それぞれ独立なバイアス発生回路11および12を備えている。1段目のレベルシフト回路 LS_1 用のバイアス発生回路11の温度係数と2段目のレベルシフト回路 LS_2 用のバイアス発生回路12の温度係数とは異なるようになっている。

【0029】ここで、バイアス発生回路の温度係数が負の場合は、レベルシフト回路の温度依存性は小さくなりレベル設定に適している。一方、バイアス調整回路の温度係数が正の場合は温度依存性が大きくトランジスタ TR_2 のクランプ電圧と同じ温度特性をもたせるようにする。このように、制御電圧発生回路1を2段のレベルシフト回路として構成し、2つの独立なバイアス発生回路11および12により各レベルシフト回路のバイアス電圧（トランジスタ TR_{12} および TR_{14} のゲート電圧）を制御することによって、レベル設定と温度変動を独立に調整することが可能となる。

【0030】前述した振幅が対称となる条件： $V_{ls} = (V_{th} + V_{clamp}) / 2$ において、トランジスタの閾値電圧 V_{th} が変動すると、トランジスタ TR_3 の電流も変動し、 V_{clamp} はトランジスタ TR_2 のショットキーゲートの $I-V$ 特性と定電流トランジスタ TR_3 の電流の交点なのでクランプ電圧 V_{clamp} も変動する。その結果、閾値電圧 V_{th} が変動しても $(V_{th} + V_{clamp}) / 2$ の変動は抑えられるので、レベルシフト量 V_{ls} は一定であっても、 $V_{ls} = (V_{th} + V_{clamp}) / 2$ が成り立つ。しかしながら、クランプ電圧 V_{clamp} は、閾値電圧 V_{th} とは無関係に変動するので、レベルシフト量 V_{ls} が固定だと、 $V_{ls} = (V_{th} + V_{clamp}) / 2$ は成り立たない。よって、レベルシフト量 V_{ls} は、一定ではなくダイオードの順方向と同じ変動係数を持つように設定する必要がある。

【0031】図5は図4のチャージポンプ回路の動作を説明するための図であり、具体的に、制御電圧にダイオードの温度特性を持たせたチャージポンプ回路の動作説明図である。図5に示されるように、例えば、温度上昇等の理由により、クランプ電圧 V_{clamp} が小さくなったとすると、同様に、ダイオード D_{11} のクランプ電圧 V_{diode} も小さくなる。その結果、トランジスタ TR_{12} のゲート電圧が大きくなり、流れる電流が増えるのでトランジスタ TR_{11} のゲート電圧も大きくならなければ

ならず、制御電圧 V_{cont} が下がる。よって、クランプ電圧 V_{clamp} が小さくなっても、レベルシフト量 V_{ls} が負側に変動するため、振幅の対称性は保持されることになる。

【0032】ここで、レベルシフト回路を2段構成とする理由は、トランジスタ TR_2 のダイオード特性に合わせてレベルシフト量に変化するためにはトランジスタ TR_{11} および TR_{12} のトランジスタサイズが同程度でないと効果が小さいためレベルシフト量の設定が自由に行えないが、2段構成にすると、レベルシフト量の設定をする段ではトランジスタサイズを自由にでき、ダイオード特性をもたせる段ではトランジスタ TR_{11} および TR_{12} のトランジスタサイズを同程度にすることで完全に調整することが可能となる。また、レベルシフト回路を2段構成とすることで、トランジスタ TR_2 にクランプ電流が流れる場合の制御電圧発生回路1における入力インピーダンスの低下を防止することができる。

【0033】上述したように、本発明の第1および第2実施例によれば、動作可能なVCO入力電圧の範囲を広くすることができるが、さらに広い範囲で動作させようとするとトランジスタ TR_2 および TR_3 のドレイン電圧の違いによる非対称性が問題となってくる。次に示す本発明の第3実施例では、上記トランジスタ TR_2 および TR_3 のドレイン電圧の違いによる非対称性を克服するために、制御電圧発生回路1にゲインを持たせることにより、ドレイン電圧の違いをゲート電圧により補正するように構成している。

【0034】図6は本発明に係るチャージポンプ回路の第3実施例を模式的に示す図である。同図において、参照符号13は増幅器（正相増幅器）、 R_{11} および R_{12} は抵抗を示している。図6に示されるように、本第3実施例において、制御電圧発生回路1は、増幅器13と、抵抗 R_{11} および R_{12} を備えて構成されている。ここで、増幅器13の一方の入力には、VCOの入力電圧（ V_{COin} ）が供給され、また、他方の入力には、抵抗 R_{11} および R_{12} により分圧された増幅器13の出力が反転してフィードバックされるようになっている。

【0035】本第3実施例において、制御電圧発生回路1は増幅器13を備え、該制御電圧発生回路1自体がゲインを有し、ドレイン電圧の違いをゲート電圧により補正するようになっている。図7は図6のチャージポンプ回路の動作を説明するための図である。同図において、参照符号 D_{13} は、トランジスタ TR_2 のゲートソース間に等価的に存在するダイオード（ショットキーゲートダイオード）を示している。

【0036】まず、VCOの入力電圧（ V_{COin} ）が $V_{DD}/2$ より大きく外れると、トランジスタ TR_2 および TR_3 が飽和動作しなくなり、該トランジスタ TR_2 および TR_3 の電流はドレイン電圧の非対称性による影響を受けて、チャージポンプ動作に支障を来す。この間

題を解決するには、制御電圧発生回路1のゲインを1よりもやや大きくすればよく、図6および図7に示すように、増幅器（正相増幅器）13に負帰還をかけた回路を制御電圧発生回路1の内に入れることで実現することができる。

【0037】ここで、図7に示されるように、増幅器13のループには正帰還と負帰還のループが存在するが、正帰還のループはチャージポンプがハイインピーダンス時に働かないようにしないと、ハイインピーダンス時の直流レベルに悪影響がでるため、チャージポンプがハイインピーダンス時にトランジスタTR2のショットキーゲートダイオードはオフ状態となっている必要がある。

このため、

$$V_o - V_i < V_f$$

を満たす必要がある。ここで、電圧 V_o はトランジスタTR2のゲートに供給される制御電圧 V_{cont} に対応し、また、電圧 V_i はVCO（電圧制御発振器）の入力電圧 V_{COin} に対応している。これから、増幅器13の利得 $Gain$ は、

$$Gain < 1 + V_f / V_i$$

が導かれる。そして、この条件を満たす範囲では、

$$Gain = 1 + R_{11} / R_{12}$$

が成り立ち、抵抗 R_{11} および R_{12} でゲインを決めることができる。

【0038】このようにして制御電圧発生回路1に電圧ゲイン（ $Gain$ ）を持たせることでトランジスタTR2およびTR3のドレイン電圧非対称性を補償し、広範囲の動作を行わせることができる。図8は本発明に係るチャージポンプ回路の第4実施例を模式的に示す図である。すなわち、データレート依存性は周波数が高い程大きいいため、チャージポンプ回路を高速化する必要があるが、本第4実施例は、チャージポンプ回路の動作を高速化するための1つの手法である。

【0039】トランジスタTR1の入力電圧の低レベル電圧（ V_{ol} ）から閾値電圧 V_{th} までの振幅は、トランジスタTR4の入力電圧の振幅に比べ大きく、高速化の妨げとなっている。また、閾値電圧 V_{th} はVCOの入力電圧（ V_{COin} ）により変わってくるため、該VCOの入力電圧と低レベル電圧 V_{ol} が同じように動いてくれればレベルのマージンを確保しつつ小振幅化することが可能となる。

【0040】そこで、本第4実施例では、図8に示されるように、トランジスタTR1のゲートに供給されるアップ信号UPをクランプ回路4を介して与えるようにしている。このクランプ回路4は、Nタイプのエンハンスメント型MESFETであるTR41、ダイオードD41、Nタイプのデプレッション型MESFETであるTR42、および、インバータ41を備えて構成されている。トランジスタTR41、ダイオードD41、および、トランジスタTR42は、高電位電源線VDDと低

電位電源線VSSとの間にトータンボール接続されている。そして、インバータ41に印加される低電位電源VSSのレベルをVCOの入力電圧（制御電圧発生回路1の入力信号） V_{COin} に応じて変化させてトランジスタTR1のゲートに供給して、一定の振幅を確保するようになっている。ここで、アップ信号UPとしては、例えば、図1のアップ信号を反転したレベルの信号/UPを使用する必要がある。

【0041】図9は図8のチャージポンプ回路の動作を説明するための図である。まず、トランジスタTR1をオン・オフさせるために必要なノードNbの電圧はノードNcの電位により上下し、また、ノードNcの電位は制御電圧 V_{cont} およびVCOの入力電圧（ V_{COin} ）により上下する。しかしながら、VCO入力電圧 V_{COin} が変動するとノードNaの電位もVCO入力と同様に変動するため、インバータ41の低レベル出力電圧 V_{ol} も同様に変動する。その結果、電圧 V_{ol} からトランジスタTR1がオンする電圧（ V_{thtr1} ）までのノードNbの振幅は常に一定となるので小振幅が可能となり、チャージポンプ回路の動作を高速化することができる。

【0042】図10は本発明に係るチャージポンプ回路の第5実施例を模式的に示す図であり、図11は図10のチャージポンプ回路の動作を説明するための図である。すなわち、本第5実施例は、チャージポンプ回路の動作を高速化するための他の手法である。図10において、参照符号5はアップ/ダウン信号処理回路（制御信号処理回路）、51、53は遅延回路、52、54はチョッパ回路、TR51、TR52はNタイプのエンハンスメント型MESFET、そして、C5は容量（キャパシタ）を示している。

【0043】図11に示されるように、本第5実施例では、チョッパ回路52はアップ信号UPの立ち下がりエッジでパルスが発生し、そのパルスを用いて出力の立ち下がり速くし、アップ/ダウンの切り替わりを高速化している。これがないと、アップ/ダウンの切り替わり時は、アップ信号UPとダウン信号DNがオーバーラップするためチャージポンプ出力の立ち下がり波形がなまってしまい高速化の障害となる。

【0044】チョッパ回路54はダウン信号DNの立ち下がりエッジでパルスが発生し、そのパルスを用いて出力の立ち上がり速くしている。これによって、チャージポンプがハイインピーダンス状態に移行する際にも立ち上がりを速くすることができ、データレートによる違いを抑えることができるようになっている。すなわち、チョッパ回路52および54はアップ信号UPおよびダウン信号DNの切り替わり時にパルスが発生してトランジスタTR51およびTR52を駆動し、これによりチャージポンプ回路の出力波形のエッジを強調するようになっている。ここで、遅延回路51および53は、例えば、それぞれ縦続接続された2つのインバータ

により構成され、チョッパ回路 52, 54 を介して供給されるアップ信号およびダウン信号とのタイミングを調整するようになっている。

【0045】このように、本第5実施例によれば、位相比較器 3 とチャージポンプ回路との間に図 10 に示すようなアップ/ダウン信号処理回路 5 を設けることによって、チャージポンプ回路の動作を高速化することが可能となる。ところで、PLL がロックする過程においてチョッパ回路 52 が追従できないような細いパルスがアップ信号 UP として入力された場合（クロックの位相が進んだ状態）にはチョッパ回路 52 が働かないため、チャージポンプ回路はアップ信号 UP を強める方向にずれ、位相比較器出力はアップ信号 UP が弱いため系として安定状態となるおそれがある。その結果、偏差の小さいノーマルなロック状態とクロックの位相が進んだ準安定なロック状態が存在する可能性がある。このような問題を防ぐためチョッパ回路 52 でポジティブパルスの幅を広げるようにしたのが、次に示す第6実施例である。

【0046】図 12 は本発明に係るチャージポンプ回路の第6実施例を示す図であり、遅延回路 51 およびチョッパ回路 52 の構成を示す回路図である。本第6実施例は、上述した第5実施例におけるチョッパ回路 52 を特に高速化して、チャージポンプ回路の動作をより一層高速化せんとするものである。図 12 に示されるように、本第6実施例において、遅延回路 51 は縦続接続された 2 つのインバータ 511 および 512 により構成され、インバータ 512 は外部からの制御信号 SS によりその出力が制御されるようになっている。また、チョッパ回路 52 は、縦続接続された 3 段のインバータ 521 ~ 523 および NOR ゲート 524 を備えて構成され、該チョッパ回路 52 の出力はトランジスタ TR51 のゲートに供給されている。

【0047】図 13 は図 12 のチャージポンプ回路の動作を説明するための図である。図 12 および図 13 に示されるように、チョッパ回路 52 において、インバータ 521 およびインバータ 523 は出力の立ち下がり時の遅延時間が立ち上がり時の遅延時間より小さく、逆に、インバータ 522 は立ち上がり時の遅延時間が立ち下がり時の遅延時間より小さい。そのため、インバータ 521 からインバータ 523 へパルスが伝達されると、インバータ 523 の出力では入力パルスに比べパルス幅が広がる。さらに、立ち下がりエッジによる変化が完全に終わってから立ち上がりの変化が起こるため、チョッパパルス幅調整用の容量によりパルス幅制御が可能となる。これに対して、インバータ 523 の立ち下がり不完全である場合は、いかに容量を大きくしてもチョッパパルス幅を大きくできない。

【0048】このように、本第6実施例によれば、偶数段の回路（インバータ）の立ち上がりの遅延時間を速くし、奇数段の立ち上がりの遅延時間を遅くすることでチ

ョッパパルスを広くしてチャージポンプのアップ/ダウン切り替わりを確実に行うように構成することにより、細いパルスがアップ信号 UP に入力された場合の準安定なロック状態を回避して高速での安定動作を可能とすることができる。

【0049】このように、本発明の第4実施例～第6実施例によれば、チャージポンプ出力波形のデータレート依存性を抑え、高速動作可能なクロックリカバリ回路を実現することができる。そして、上記各実施例によれば、チャージポンプ回路の出力振幅を広い電圧範囲で対称とすることができ、トランジスタの閾値電圧 (V_{th}) やダイオード特性の変動による特性変動を小さくすることができ、クロックリカバリ回路のデータレート依存性削減や狭帯域 VCO 使用の PLL 回路における性能の向上に寄与することが可能となる。

【0050】図 14 は本発明に係るチャージポンプ回路の第7実施例を模式的に示す図である。前述した第1実施例～第6実施例では、トランジスタとして N タイプの MESFET を使用した場合を説明して来たが、本発明は MESFET だけでなく、例えば、図 14 に示すように、MOSFET を使用してチャージポンプ回路を構成することもできる。

【0051】図 14 に示されるように、トランジスタとして MOSFET（金属ゲート型電界効果トランジスタ：シリコンゲート型電界効果トランジスタを含む）を使用した場合には、トランジスタ TR2 のゲート・ソース間にダイオード DD を挿入することにより、MESFET（ショットキー接合型電界効果トランジスタ）を使用した場合と同様の効果を得ることが可能となる。ここで、ダイオード DD の段数は少なくとも 1 つ以上の適切な数に設定することにより、MESFET を使用した場合よりもチャージポンプ回路の出力信号の振幅を選択する自由度を大きくすることができる。また、MOSFET を使用した場合には、入力インピーダンスも高いため、制御電圧発生回路 (1) のレベルシフト回路も 1 段で構成することが可能となる。

【0052】なお、本発明の適用は、MESFET および MOSFET に限定されず、他のトランジスタ（例えば、HEMT）を使用することもできる。さらに、各トランジスタの導電型およびアップ信号 UP 並びにダウン信号 DN の極性等は、様々に変形して使用することができるのはいうまでもない。図 15 は本発明に係るチャージポンプ回路を適用した半導体集積回路（ファイバーチャネル IC）を概略的に示すブロック図である。同図において、参照符号 61 は多重化回路（MUX），62 はクロック発生回路，63 はクロックリカバリ回路，そして，64 は多重分離回路（DEMUX）を示している。

【0053】図 15 に示されるように、ファイバーチャネル IC（ファイバーチャネルのトランシーバ用集積回路）は、多重化回路 61，クロック発生回路 62，クロ

ックリカバリ回路63, および, 多重分離回路64を備えている。多重化回路61は、低速(例えば、100Mb/s)の10ビット・パラレルデータを多重化して、高速(例えば、1Gb/s)のシリアルデータを出力するものである。この多重化回路61には、クロック発生回路62の出力である100MHzのクロック信号が供給されている。

【0054】また、多重分離回路64は、高速(1Gb/s)のシリアルデータを分離して、低速(100Mb/s)の10ビット・パラレルデータを出力するようになっている。この多重分離回路64には、クロックリカバリ回路63の出力である1GHzのクロック信号が供給されている。ここで、クロックリカバリ回路63は、例えば、入力される1Gb/sのシリアルデータを受け取り、該データの周期から1GHzのクロック信号を生成するようになっている。

【0055】本発明に係るチャージポンプ回路は、例えば、このファイバーチャネルICのクロックリカバリ回路63に設けられたPLL回路に適用されるものである。図16は図15の半導体集積回路におけるクロック発生回路62の一例を示すブロック回路図である。図16に示されるように、クロック発生回路62は、位相比較器622, チャージポンプ回路623, 低域フィルタ(ループフィルタ)624, および, VCO(電圧制御発振器)625を有するPLL回路を備えている。図16において、参照符号621は基準クロックの波形を整形するバッファを示し、また、626はVCO625の出力信号を整形して所定のクロック信号(例えば、1GHz)を出力するクロックバッファを示している。なお、クロック発生回路62は、位相比較器622において、100MHzの基準クロックと、1GHzのクロック出力をクロックディバイダ627で生成した1/10の100MHzの信号とを比較してPLL動作を行うようになっている。

【0056】図17は図15の半導体集積回路におけるクロックリカバリ回路63の一例を示すブロック回路図である。図17に示されるように、クロックリカバリ回路63は、位相比較器632, チャージポンプ回路633, 低域フィルタ(ループフィルタ)634, および, VCO(電圧制御発振器)635を有するPLL回路を備えている。ここで、低域フィルタ634は、抵抗R61~R63と共にチップ内に設けた容量C61と、外付け端子ETを介してチップの外部に設けた容量(大容量のキャパシタ)C62を備えている。

【0057】図17において、参照符号630はデータ入力(1Gb/sのシリアルデータ)およびMUX61の出力(1Gb/sのシリアルデータ)を選択信号SS1により選択するセレクタを示し、631は該セレクタ630の信号を整形して相補の信号を位相比較器632へ供給するバッファを示し、そして、636はVCO6

35の出力信号を整形して所定のクロック信号(例えば、1GHz)を出力するクロックバッファを示している。また、参照符号637はクロックディバイダを示し、該クロックディバイダ637により1GHzのクロック出力を1/10に分周して100MHzの信号を位相比較器638へ供給するようになっている。

【0058】ここで、位相比較器632は、バッファ631の出力(相補出力信号)とクロックバッファ636の出力(クロック出力:1GHz)との位相比較を行い、アップ信号UPおよびダウン信号DNをセレクタ639aおよび639bへ供給するようになっている。また、位相比較器638は、クロック発生回路62に供給されるのと同じ基準クロック(100MHz)とクロックディバイダ637の出力信号との位相比較を行い、アップ信号UPおよびダウン信号DNをセレクタ639aおよび639bへ供給するようになっている。そして、セレクタ639aおよび639bは、選択信号SS2に応じて位相比較器632または638の出力(アップ信号UPおよびダウン信号DN)を選択してチャージポンプ回路633へ供給するようになっている。ここで、セレクタ639aおよび639bにより、例えば、位相比較器638の出力は電源投入時やデータ入力が所定時間途切れた後等に選択され、その後、位相比較器632の出力が選択されるようになっている。

【0059】図18は本発明に係るチャージポンプ回路の具体的な構成の一例を示す回路図であり、図1の回路に対して、図4, 図8, 図10, および、図12の構成を適用したものである。ここで、インバータ等の論理ゲート回路は、E/D構成のDCFL(Direct Coupled FET Logic)回路を使用している。図18に示されるように、この回路例では、制御電圧発生回路1を2段のレベルシフト回路LS1, LS2により構成している。1段目のレベルシフト回路LS1用のバイアス発生回路11は、DCFL回路の閾値電圧(V_{th})を利用して負の温度係数を持たせ、レベルシフト回路LS1としての温度特性をキャンセルするように構成されている。具体的に、トランジスタ(TR111およびTR112)のサイズ比を制御することによりレベルの設定を行うようになっている。

【0060】また、2段目のレベルシフト回路LS2用のバイアス発生回路12は、DCFL回路の出力ローレベルを利用することで正の温度係数を持つように構成されている。ここでは、トランジスタ(TR121~TR123)のサイズ比を大きく変えることができないため、バイアス発生回路12の強さと、ダイオード(D12)のサイズを最適化することで所望の温度係数を得るようになっている。

【0061】なお、図18に示す回路は、図8に示すクランプ回路4、および、図10並びに図12に示すアップ/ダウン信号処理回路5の構成も含んでおり、これら

の回路の動作は前述した通りであるので、ここではその説明を省略する。図 19 は本発明に係るチャージポンプ回路の具体的な構成の他の例を示す回路図であり、上述した図 18 の回路に対して図 6 の構成をさらに適用したものである。

【0062】上述した図 18 の回路との比較から明らかに、図 19 に示す回路例では、1 段目のレベルシフト回路 LS1 と 2 段目のレベルシフト回路 LS2 との間に、増幅器（正相増幅器 13）を挿入し、ゲインを持たせるように構成されている。ここで、増幅器 13 は、トランジスタ TR131～TR135 により構成され、該増幅器 13 の一方の入力には、1 段目のレベルシフト回路 LS1 の出力が供給され、また、他方の入力には、抵抗 R11 および R12 により分圧された増幅器 13 の出力が反転してフィードバックされるようになっている。なお、増幅器 13 の動作に関しても、図 6 を参照して説明したのと同様であるため、ここではその説明を省略する。

【0063】このように、具体的な回路構成としては、前述した図 1～図 14 に示す各実施例を様々に組み合わせることができる。

【0064】

【発明の効果】以上、詳述したように、本発明のチャージポンプ回路、および、該チャージポンプ回路を有する PLL 回路並びに半導体集積回路によれば、広範囲の VCO 入力電圧においても安定な PLL 動作が可能となり、また、データレート依存の小さい高速動作に適した回路を構成することができる。

【図面の簡単な説明】

【図 1】本発明に係るチャージポンプ回路の第 1 実施例を模式的に示す図である。

【図 2】図 1 のチャージポンプ回路の動作を説明するための図（その 1）である。

【図 3】図 1 のチャージポンプ回路の動作を説明するための図（その 2）である。

【図 4】本発明に係るチャージポンプ回路の第 2 実施例を模式的に示す図である。

【図 5】図 4 のチャージポンプ回路の動作を説明するための図である。

【図 6】本発明に係るチャージポンプ回路の第 3 実施例を模式的に示す図である。

【図 7】図 6 のチャージポンプ回路の動作を説明するための図である。

【図 8】本発明に係るチャージポンプ回路の第 4 実施例を模式的に示す図である。

【図 9】図 8 のチャージポンプ回路の動作を説明するための図である。

【図 10】本発明に係るチャージポンプ回路の第 5 実施例を模式的に示す図である。

【図 11】図 10 のチャージポンプ回路の動作を説明す

るための図である。

【図 12】本発明に係るチャージポンプ回路の第 6 実施例を示す図である。

【図 13】図 12 のチャージポンプ回路の動作を説明するための図である。

【図 14】本発明に係るチャージポンプ回路の第 7 実施例を模式的に示す図である。

【図 15】本発明に係るチャージポンプ回路を適用した半導体集積回路を概略的に示すブロック図である。

【図 16】図 15 の半導体集積回路におけるクロック発生回路の一例を示すブロック回路図である。

【図 17】図 15 の半導体集積回路におけるクロックリカバリ回路の一例を示すブロック回路図である。

【図 18】本発明に係るチャージポンプ回路の具体的な構成の一例を示す回路図である。

【図 19】本発明に係るチャージポンプ回路の具体的な構成の他の例を示す回路図である。

【図 20】従来のチャージポンプ回路の一例を模式的に示す図である。

【図 21】図 20 のチャージポンプ回路における課題を説明するための図である。

【図 22】半導体集積回路のクロックリカバリ回路に適用される位相比較器の一例を示す図である。

【図 23】図 22 に示す位相比較器の出力が供給される従来のチャージポンプ回路における課題を説明するための図である。

【符号の説明】

- 1…制御電圧発生回路
- 2…低域フィルタ（ローパスフィルタ）
- 3…位相比較器
- 4…クランプ回路
- 5…制御信号処理回路（アップ/ダウン信号処理回路）
- 6…半導体集積回路（ファイバーチャネル IC）
- 11, 12…バイアス発生回路
- 13…増幅器（正相増幅器）
- 51, 53…遅延回路
- 52, 54…チョッパー回路
- 61…多重化回路（MUX）
- 62…クロック発生回路
- 63…クロックリカバリ回路
- 64…多重分離回路（DEMUX）
- iup…チャージポンプ出力充電電流
- idn…チャージポンプ出力放電電流
- LS1, LS2…レベルシフト回路
- R11, R12…抵抗
- TR1…第 1 のトランジスタ
- TR2…第 3 のトランジスタ
- TR3…電流源
- TR4…第 2 のトランジスタ
- Vclamp…ダイオード順方向電圧（TR2 のショットキ

ーゲートにTR3の定電流を流した時のダイオード順方向電圧)

VCOin...VCOの入力電圧

Vf...ダイオード順方向電圧(電流が流れはじめるダイオード順方向電圧)

Vcont...制御電圧(TR2のゲート電圧)

Vls...制御電圧発生回路のレベルシフト電圧(Vcont-

Vcoin)

Vout...チャージポンプ出力電圧

Voutup...チャージポンプ出力電圧のハイレベル

Voutdn...チャージポンプ出力電圧のローレベル

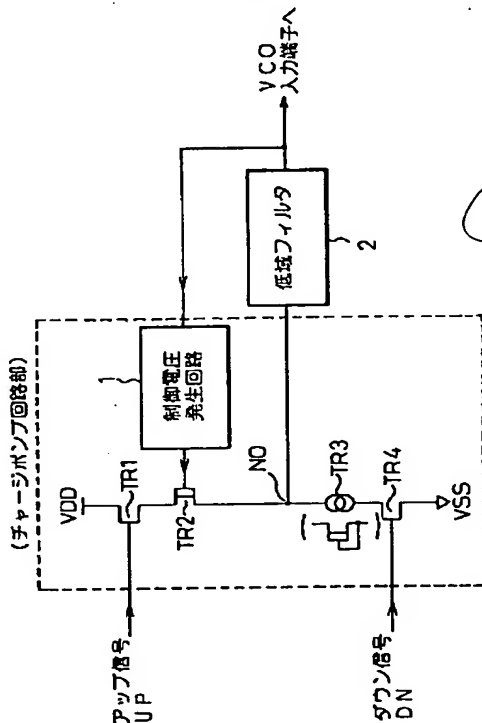
Vth...トランジスタまたは論理回路の閾値電圧

Vup...チャージポンプ出力電圧のアップ信号の振幅

Vdn...チャージポンプ出力電圧のダウン信号の振幅

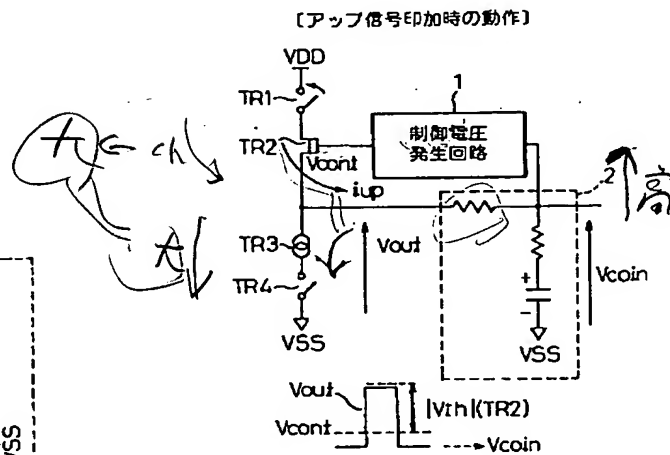
【図1】

本発明に係るチャージポンプ回路の第1実施例を模式的に示す図



【図2】

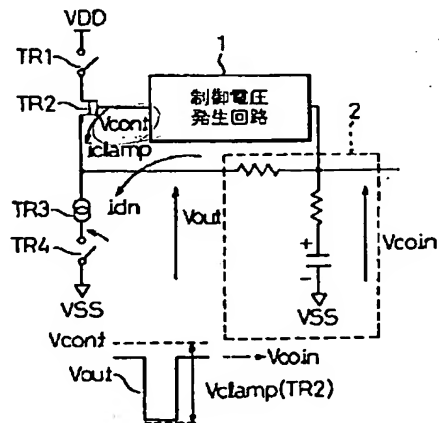
図1のチャージポンプ回路の動作を説明するための図(その1)



【図3】

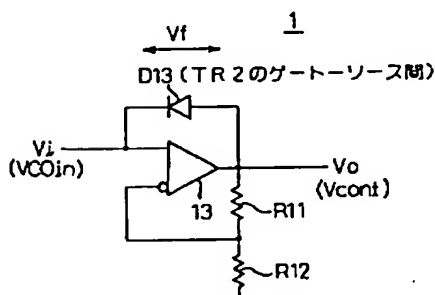
図1のチャージポンプ回路の動作を説明するための図(その2)

【ダウン信号印加時の動作】



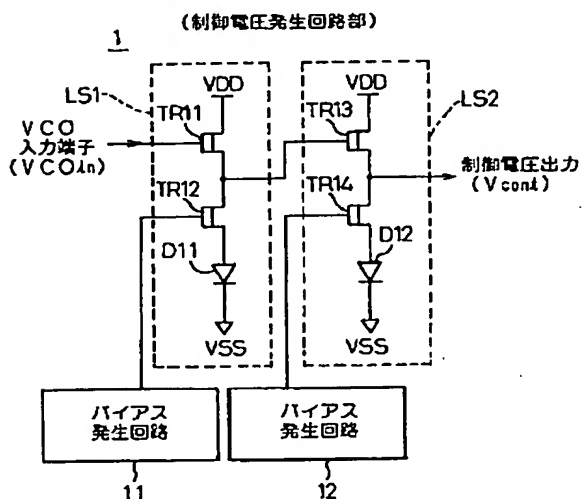
【図7】

図6のチャージポンプ回路の動作を説明するための図



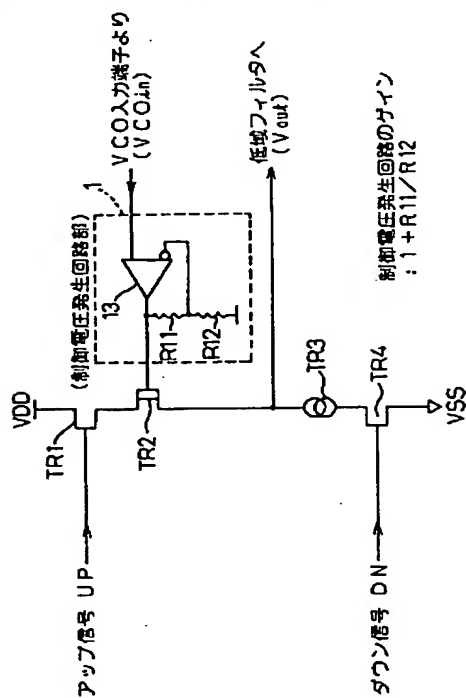
【図4】

本発明に係るチャージポンプ回路の第2実施例を模式的に示す図



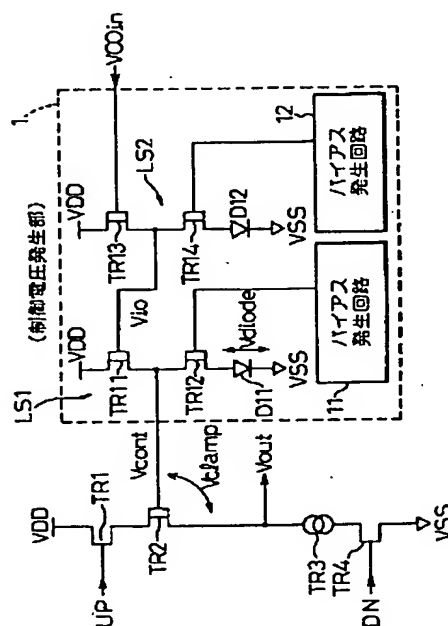
【図6】

本発明に係るチャージポンプ回路の第3実施例を模式的に示す図



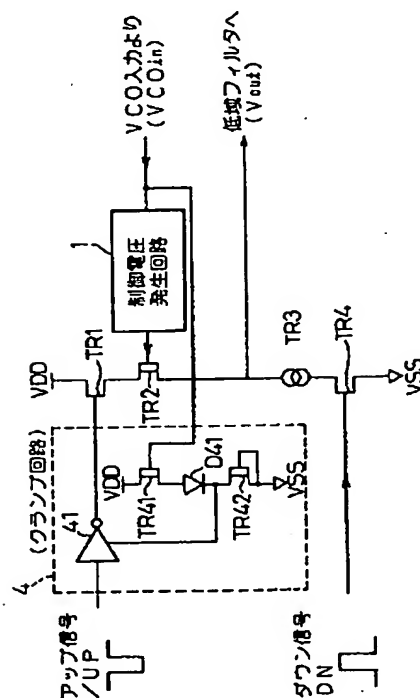
【図5】

図4のチャージポンプ回路の動作を説明するための図



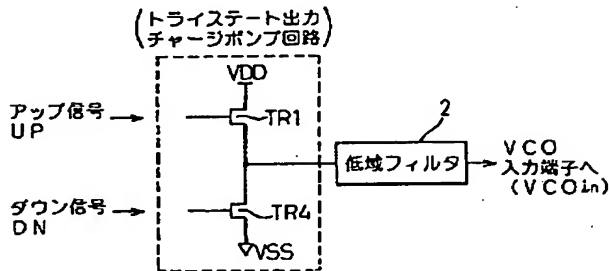
【図8】

本発明に係るチャージポンプ回路の第4実施例を模式的に示す図



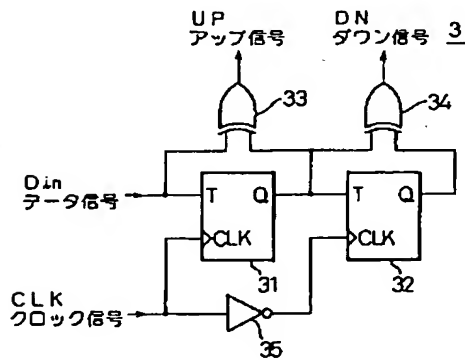
【図20】

従来のチャージポンプ回路の一例を模式的に示す図



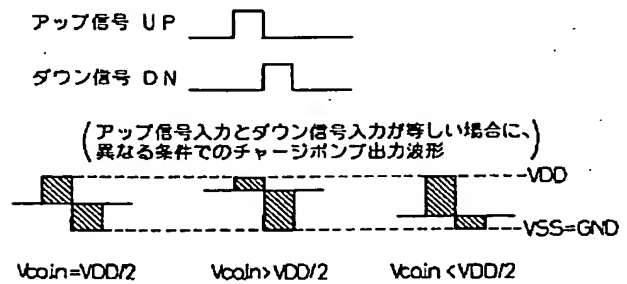
【図22】

半導体集積回路のクロックリカバリ回路に適用される位相比較器の一例を示す図



【図21】

図20のチャージポンプ回路における課題を説明するための図



【図23】

図22に示す位相比較器の出力が供給される従来のチャージポンプ回路における課題を説明するための図

